



Image

00862.023220

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)	
KIYOFUMI SAKAGUCHI)	Examiner: Not Yet Assigned
Application No.: 10/654,008)	Group Art Unit: NYA
Filed: September 4, 2003)	
For: SUBSTRATE AND)	
MANUFACTURING)	
METHOD THEREFOR)	November 3, 2003

Commissioner for Patents
P. O. Box 1450
Alexandria, Virginia 22313-1450

SUBMISSION OF PRIORITY DOCUMENTS

Sir:

In support of Applicant's claim for priority under 35 U.S.C. § 119, enclosed
is a certified copy of the following Japanese Priority Application:

Application No.

Date Filed

JP2002-264188

September 10, 2002

Applicant's undersigned attorney may be reached in our New York office by telephone at (212) 218-2100. All correspondence should be directed to our address given below.

Respectfully submitted,



Attorney for Applicant

Registration No. 24947

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

NY MAIN 386248v1

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 9 月 1 0 日

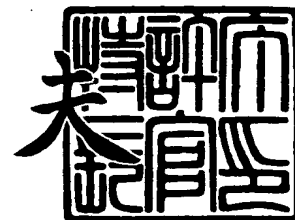
出 願 番 号
Application Number: 特 願 2 0 0 2 - 2 6 4 1 8 8
[ST. 10/C]: [J P 2 0 0 2 - 2 6 4 1 8 8]

出 願 人
Applicant(s): キヤノン株式会社

2 0 0 3 年 1 0 月 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 4760025

【提出日】 平成14年 9月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 基板及びその製造方法

【請求項の数】 20

【発明者】

 【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン株式会社
社内

 【氏名】 坂口 清文

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

【代理人】

 【識別番号】 100076428

 【弁理士】

 【氏名又は名称】 大塚 康徳

 【電話番号】 03-5276-3241

【選任した代理人】

 【識別番号】 100112508

 【弁理士】

 【氏名又は名称】 高柳 司郎

 【電話番号】 03-5276-3241

【選任した代理人】

 【識別番号】 100115071

 【弁理士】

 【氏名又は名称】 大塚 康弘

 【電話番号】 03-5276-3241

【選任した代理人】

【識別番号】 100116894

【弁理士】

【氏名又は名称】 木村 秀二

【電話番号】 03-5276-3241

【手数料の表示】

【予納台帳番号】 003458

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0102485

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 基板及びその製造方法

【特許請求の範囲】

【請求項 1】 基板の製造方法であって、

半導体領域上に部分的な絶縁層を有し、前記部分的な絶縁層の上及び前記部分的な絶縁層の間のうち少なくとも前記部分的な絶縁層の間に半導体層を有する第 1 基板を作製する工程と、

前記第 1 基板に対してその表面を通してイオンを注入して前記部分的な絶縁層よりも深い位置に分離層を形成する工程と、

前記分離層が形成された前記第 1 基板の表面に第 2 基板を結合させて結合基板を作製する工程と、

前記結合基板を前記分離層の部分で分割する工程と、

を含むことを特徴とする基板の製造方法。

【請求項 2】 前記第 1 基板に前記第 2 基板を結合させる前に、前記第 1 基板の表面を平坦化する工程を更に含むことを特徴とする請求項 1 に記載の基板の製造方法。

【請求項 3】 前記第 1 基板を作製する工程では、前記部分的な絶縁層の間の他、前記部分的な絶縁層の上にも半導体層を有する第 1 基板を作製することを特徴とする請求項 1 又は請求項 2 に記載の基板の製造方法。

【請求項 4】 前記第 1 基板を作製する工程では、前記部分的な絶縁層の間には単結晶半導体層を形成し、前記部分的な絶縁層の上には非単結晶半導体層を形成することを特徴とする請求項 3 に記載の基板の製造方法。

【請求項 5】 前記半導体領域は、エピタキシャル成長法により基板上に形成された半導体層であることを特徴とする請求項 1 乃至請求項 4 のいずれか 1 項に記載の基板の製造方法。

【請求項 6】 前記第 2 基板は、少なくとも前記第 1 基板に結合させるべき面が絶縁体で構成されていることを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項に記載の基板の製造方法。

【請求項 7】 前記第 1 基板の表面の全体に、前記第 2 基板に結合させるべ

き結合層を形成する工程を更に含むことを特徴とする請求項 1 乃至請求項 6 のいずれか 1 項に記載の基板の製造方法。

【請求項 8】 前記結合層を形成する工程の後であって前記結合基板を作製する工程の前に、前記結合層の表面を平坦化する工程を更に含むことを特徴とする請求項 7 に記載の基板の製造方法。

【請求項 9】 前記第 1 基板を作製する工程の後であって前記結合層を形成する工程の前に、前記第 1 基板の表面を平坦化する工程を更に含むことを特徴とする請求項 7 又は請求項 8 に記載の基板の製造方法。

【請求項 1 0】 前記結合層を形成する工程では、前記結合層として、全面にわたって実質的に一様な構造を有する層を形成することを特徴とする請求項 7 乃至請求項 9 のいずれか 1 項に記載の基板の製造方法。

【請求項 1 1】 前記結合層を形成する工程では、前記結合層として、多結晶半導体層を形成することを特徴とする請求項 7 乃至請求項 1 0 のいずれか 1 項に記載の基板の製造方法。

【請求項 1 2】 前記結合層を形成する工程では、前記結合層として、非晶質半導体層を形成することを特徴とする請求項 7 乃至請求項 1 0 のいずれか 1 項に記載の基板の製造方法。

【請求項 1 3】 前記結合層を形成する工程では、前記結合層として、絶縁層を形成することを特徴とする請求項 7 乃至請求項 1 0 のいずれか 1 項に記載の基板の製造方法。

【請求項 1 4】 前記絶縁層は、酸化膜であることを特徴とする請求項 1 3 に記載の基板の製造方法。

【請求項 1 5】 前記結合層を形成する工程では、CVD 法によって前記酸化膜を形成することを特徴とする請求項 1 4 に記載の基板の製造方法。

【請求項 1 6】 前記第 1 基板を作製する工程は、
前記部分的な絶縁層の上には層が成長しない条件で前記部分的な絶縁層の間に単結晶半導体層を成長させる第 1 成長工程と、
前記単結晶半導体層の上に更に単結晶半導体層を成長させるとともに前記部分的な絶縁層の上には非単結晶半導体層を成長させる第 2 成長工程と、

を含むことを特徴とする請求項 1 に記載の基板の製造方法。

【請求項 17】 前記第 1 成長工程では、前記部分的な絶縁層の厚さよりも厚く前記単結晶半導体層を成長させることを特徴とする請求項 16 に記載の基板の製造方法。

【請求項 18】 前記第 1 成長工程では、その後に実施される前記第 2 成長工程において形成される前記非単結晶半導体層が前記部分的な絶縁層上の領域内に収まるように、前記単結晶半導体層を成長させることを特徴とする請求項 15 に記載の基板の製造方法。

【請求項 19】 前記イオンは、水素又はヘリウムを含むことを特徴とする請求項 1 乃至請求項 18 のいずれか 1 項に記載の基板の製造方法。

【請求項 20】 請求項 1 乃至請求項 19 のいずれか 1 項に記載の製造方法により製造され得る基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、基板及びその製造方法に係り、特に、内部に部分的な絶縁層を有する基板及びその製造方法に関する。

【0002】

【従来の技術】

近年、絶縁層上に半導体層を有する基板が注目されている。このような基板は、Semiconductor-On-Insulator基板又はSilicon-On-Insulator基板と呼ばれる。後者は、Semiconductor-On-Insulator基板のうち半導体層がシリコンで構成される基板である。Semiconductor-On-Insulator基板及びSilicon-On-Insulator基板は、共にSOI基板と呼ばれる。

【0003】

SOI基板の1つとして、半導体層或いはシリコン層の下の全体領域ではなく、部分的な領域にのみ絶縁層を有する基板が提案されている。これに関連する技術が特許第2794702号公報（半導体装置の製造方法）に開示されている。特許第2794702号公報に開示された製造方法では、第1基板としてのN⁻シリコン基板上

に N^+ 層を形成し、その N^+ 層上に熱酸化膜(SiO_2)を形成し、その後、熱酸化膜の不要部分を除去する。これにより、 N^+ 層上に部分的に熱酸化膜が残る。その後、露出している N^+ 層上にエピタキシャル層を成長させる。このとき、部分的な熱酸化膜上にはポリシリコン層が形成される。次いで、第1基板の主表面を研磨してエピタキシャル層及びポリシリコン層を同じ高さにし、その後、この第1基板の主表面側を第2基板に接合して最終基板を得る。このような最終基板は、第1基板で構成される部分の下に部分的に埋め込み絶縁層(熱酸化膜)を有する基板となり、この第1基板で構成される部分に半導体デバイスが形成される。

【0004】

【特許文献1】

特許第2794702号公報

【発明が解決しようとする課題】

特許第2794702号公報に開示された製造方法では、製造される最終基板において、デバイスを形成すべき部分が第1基板そのものであるもので、その厚さが非常に厚く、一般的なSOI基板の優位性を享受することが難しい。すなわち、特許第2794702号公報に開示された製造方法によって得られる基板では、低消費電力、高速動作といったSOI基板の優位性を十分に発揮することができない。

【0005】

また、特許第2794702号公報に開示された製造方法では、第1基板と第2基板との接合の前に、エピタキシャル層及びポリシリコン層が表面に混在する第1基板を研磨する。しかしながら、この研磨工程による第1基板の表面の平坦化には限界があると考えられる。すなわち、研磨条件をエピタキシャル層に適合させるとポリシリコン層の平坦性が得られず、逆に、研磨条件をポリシリコン層に適合させるとエピタキシャル層の平坦性が得られない。更に、エピタキシャル層とポリシリコン層との間に段差が生じることも懸念される。

【0006】

エピタキシャル層及びポリシリコン層が表面に混在する第1基板の表面の平坦性が低いと、第1基板を第2基板に接合させる際に接合不良が生じ易い。このよ

うな接合不良があると、高品質のデバイスを形成するための妨げとなる。

【0007】

本発明は、上記の考察を基礎としてなされたものであり、その1つの目的は、半導体層の下に部分的な絶縁層を有する基板についてSOI基板としての優位性を保証することにある。

【0008】

本発明の他の目的は、2枚の基板を結合する工程を経て製造される基板の品質を高めることにある。

【0009】

【課題を解決するための手段】

本発明に係る基板の製造方法は、半導体領域上に部分的な絶縁層を有し、前記部分的な絶縁層の上及び前記部分的な絶縁層の間のうち少なくとも前記部分的な絶縁層の間に半導体層を有する第1基板を作製する工程と、前記第1基板に対してその表面を通してイオンを注入して前記部分的な絶縁層よりも深い位置に分離層を形成する工程と、前記分離層が形成された前記第1基板の表面に第2基板を結合させて結合基板を作製する工程と、前記結合基板を前記分離層の部分で分割する工程とを含む。

【0010】

本発明の好適な実施の形態によれば、前記方法は、前記第1基板に前記第2基板を結合させる前に、前記第1基板の表面を平坦化する工程を更に含むことが好ましい。

【0011】

本発明の好適な実施の形態によれば、前記第1基板を作製する工程では、前記部分的な絶縁層の間の他、前記部分的な絶縁層の上にも半導体層を有する第1基板を作製することが好ましい。

【0012】

本発明の好適な実施の形態によれば、前記第1基板を作製する工程では、前記部分的な絶縁層の間には単結晶半導体層を形成し、前記部分的な絶縁層の上には非単結晶半導体層を形成することが好ましい。

【0013】

本発明の好適な実施の形態によれば、前記半導体領域は、エピタキシャル成長法により基板上に形成された半導体層であることが好ましい。

【0014】

本発明の好適な実施の形態によれば、前記第2基板は、例えば、少なくとも前記第1基板に結合させるべき面が絶縁体で構成されていることが好ましい。

【0015】

本発明の好適な実施の形態によれば、前記方法は、前記第1基板の表面の全体に、前記第2基板に結合させるべき結合層を形成する工程を更に含むことが好ましい。

【0016】

本発明の好適な実施の形態によれば、前記方法は、前記結合層を形成する工程の後であって前記結合基板を作製する工程の前に、前記結合層の表面を平坦化する工程を更に含むことが好ましい。

【0017】

本発明の好適な実施の形態によれば、前記方法は、前記第1基板を作製する工程の後であって前記結合層を形成する工程の前に、前記第1基板の表面を平坦化する工程を更に含むことが好ましい。

【0018】

本発明の好適な実施の形態によれば、前記結合層を形成する工程では、前記結合層として、全面にわたって実質的に一様な構造を有する層を形成することが好ましい。

【0019】

本発明の好適な実施の形態によれば、前記結合層を形成する工程では、前記結合層として、例えば、多結晶半導体層、非晶質半導体層又は絶縁層を形成することが好ましい。前記結合層として絶縁層を形成する場合、該絶縁層は、例えば酸化膜であることが好ましい。酸化膜は、例えば、CVD法によって形成することが好ましい。

【0020】

本発明の好適な実施の形態によれば、前記第1基板を作製する工程は、前記部分的な絶縁層の上には層が成長しない条件で前記部分的な絶縁層の間に単結晶半導体層を成長させる第1成長工程と、前記単結晶半導体層の上に更に単結晶半導体層を成長させるとともに前記部分的な絶縁層の上には非単結晶半導体層を成長させる第2成長工程とを含むことが好ましい。ここで、前記第1成長工程では、前記部分的な絶縁層の厚さよりも厚く前記単結晶半導体層を成長させることが好ましい。或いは、前記第1成長工程では、その後に実施される前記第2成長工程において形成される前記非単結晶半導体層が前記部分的な絶縁層上の領域内に収まるように、前記単結晶半導体層を成長させることが好ましい。

【0021】

本発明の好適な実施の形態によれば、前記イオンは、例えば、水素又はヘリウムを含むことが好ましい。

【0022】

【発明の実施の形態】

以下、添付図面を参照しながら本発明の好適な実施の形態を説明する。

【0023】

〔第1の実施の形態〕

図1A～図1Iは、本発明の第1の実施の形態に係る基板製造方法を説明するための図である。図1Aに示す工程では、単結晶シリコン基板（シード基板）11を準備する。ここで、単結晶シリコン基板11として、表面に単結晶シリコンのエピタキシャル成長層を有する基板を使用してもよい。

【0024】

次いで、図1Bに示す工程では、単結晶シリコン基板11上に絶縁層としての SiO_2 層12を形成する。 SiO_2 層12は、例えば熱酸化法により形成することができ、熱酸化法によれば、良質の SiO_2 層を形成することができる。

【0025】

図1Cに示す工程では、 SiO_2 層12をパタニングして部分的な SiO_2 層12aを形成する。ここで、部分的な SiO_2 層とは、少なくとも一部の領域において単結晶シリコン基板11或いは下地の半導体領域（例えば、単結晶シリコ

ン基板 11 として、表面にエピタキシャル成長シリコン層を有する基板を採用した場合には、当該シリコン層) が露出するように形成された SiO_2 層をいう。 SiO_2 層 12 は、例えば、 SiO_2 層 12 上にマスク材を形成した後にリソグラフィ工程 (レジスト塗布、露光、現像、エッチング) により該マスク材をパタニングして開口部を形成し、該開口部の底に露出している SiO_2 層 12 を RIE (Reactive Ion Etching) 法等によりエッチングすることによりパタニングすることができる。

【0026】

この工程により、単結晶シリコン基板 11 の上に部分的な SiO_2 層 (絶縁層) 12 a を有する第 1 基板 10 が形成される。

【0027】

なお、図 1 B 及び図 1 C に示す工程に代えて、例えば、部分的な SiO_2 層 12 a を形成すべき領域以外をマスクパターンで覆い、露出部分にのみ SiO_2 層 12 a を形成する工程を採用してもよい。

【0028】

図 1 D に示す工程では、第 1 基板 10 の部分的な SiO_2 層 12 a の間の領域に露出している単結晶シリコン基板 (半導体領域) 11 上にエピタキシャル成長法により単結晶シリコン層 (半導体層) 13 を成長させる。このとき、部分的な絶縁層 12 a の上には多結晶シリコン層 (非単結晶半導体層) 14 が形成される。ただし、部分的な絶縁層 12 a の上に多結晶シリコン層 14 が形成されない条件で単結晶シリコン基板 11 上に単結晶シリコン層 13 を成長させてもよい。

【0029】

典型的には、単結晶シリコン層 13 と多結晶シリコン層 14 とは成長速度が異なるので、単結晶シリコン層 13 と多結晶シリコン層 14 との間には段差が生じ得る。また、単結晶シリコン層 13、多結晶シリコン層 14 の各表面には、それぞれ凹凸が形成され得る。

【0030】

図 1 E に示す工程では、図 1 D に示す第 1 基板 10 a の表面を研磨或いは研削等により平坦化し、平坦な表面を有する第 1 基板 10 b を作製する。

【0031】

図1Fに示す工程では、第1基板10bの表面を通して第1基板10bの部分的なSiO₂層（絶縁層）12aよりも深い位置に水素イオン又はヘリウムイオン等のイオンを注入して、部分的なSiO₂層12a及び単結晶シリコン層13の下面から下方に離隔した位置に分離層15としてのイオン注入層を形成する。これにより、部分的なSiO₂層12a及び単結晶シリコン層13の下には、元の単結晶シリコン基板11の表面部分が単結晶シリコン層16として残り、その下に分離層15が形成され、その下に元の単結晶シリコン基板11の主要部分（表面部分以外）が単結晶シリコン部11aとして残る。ここで、このようなイオン注入工程は、図1Eに示す工程よりも前に実施することもできる。

【0032】

図1Gに示す工程では、図1Fに示す第1基板10cの表面（単結晶シリコン層13及び多結晶シリコン層14が露出している面）に第2基板（ハンドル基板）20を結合させて、結合基板（はり合わせ基板）30を形成する。なお、結合に先立って、第1基板10の表面に熱酸化法等によりSiO₂層（絶縁層）を形成してもよい。この際、400℃以上の熱酸化処理工程を必要とする場合には、イオン注入の工程前にその熱酸化処理工程を行う。第2基板20としては、典型的には、単結晶シリコン基板又はその表面にSiO₂層等の絶縁層を形成した基板を採用することができる。しかしながら、第2基板20は、それ以外の基板、例えば、絶縁性基板（例えば、ガラス基板等）であってもよい。

【0033】

図1Hに示す工程では、結合基板30を分離層15の部分で切断することにより2枚の基板に分割する。この分割は、結合基板30に熱処理を施すことによっても実施することができる。或いは、この分割は、流体を使って行うこともできる。流体を使う方法としては、例えば、流体（液体又は気体）の噴流を形成してこれを分離層15に打ち込む方法や、流体の静圧を利用する方法等が好適である。前者の方法において、流体として水を利用する方法は、ウォータージェット法と呼ばれる。或いは、この分割は、固体の楔等の部材を分離層15に挿入することによっても実施することができる。

【0034】

ここで、上記のような分割方法の他、第1基板10cをその裏面（露出面）から研削、研磨し、絶縁層12a上に所定厚の単結晶シリコン層を残す研削・研磨方法を採用してもよい。なお、この場合、必ずしも分離層15を形成する必要はない。

【0035】

図1Iに示す工程では、第2基板20の単結晶シリコン層16上に残っている分離層15bをエッチング液等を使って除去する。このとき、単結晶シリコン層16をエッチングストップ層として利用すればよい。その後、必要に応じて、水素アニール工程、研磨工程等の平坦化工程を実施して基板表面を平坦化してもよい。

【0036】

以上の方法により、図2に示すような半導体基板（部分SOI基板）40が得られる。図2に示す半導体基板40は、表面に薄い単結晶シリコン層（第1半導体層）16を有し、その下に部分的なSiO₂層（絶縁層）12a及び単結晶シリコン層（第2半導体層）13を有する。ここで、薄い単結晶シリコン層とは、一般的な半導体基板に比べて薄いことを意図した表現であり、単結晶シリコン層（第1半導体層）16の厚さは、SOI基板としての優位性を発揮する上で、例えば、10μm以下が好ましく、5nm～2μmの範囲が更に好ましい。

【0037】

半導体基板40のうち部分的なSiO₂層（絶縁層）12aを埋め込み絶縁層として有する領域（SOI領域）41は、全領域に埋め込み絶縁膜を有するSOI基板と同様の特性を有する。また、半導体基板40のうち部分的な絶縁層12aを有しない領域（非SOI領域）42、すなわち、単結晶シリコン層16の下に単結晶シリコン層13を有する領域42は、通常のシリコン基板とほぼ同様の特性を有する。

【0038】

ここで、単結晶シリコン基板11として、表面に単結晶シリコンのエピタキシャル成長層を有する基板を使用した場合には、領域42は、エピタキシャルシリ

コン層を表面に有するシリコン基板とほぼ同様の特性を有する。この場合において、単結晶シリコン層 13 は、エピタキシャル成長法により形成された単結晶シリコン層 16 を下地としてエピタキシャル成長法により形成される層であるため、単結晶シリコン層 16 と単結晶シリコン層 13 との界面には殆ど欠陥が生じない。したがって、この半導体基板 40 を使用する場合、SOI 領域に形成するデバイスよりも深い構造を有するデバイス（例えば、トレンチキャパシタ）を非SOI 領域に形成する場合においても、高品位のデバイスを形成することができる。

【0039】

この実施の形態によって製造され得る半導体基板 40 は、例えば、SOI 領域 41 には論理回路を形成し、非SOI 領域 42 にはトレンチ型キャパシタを有するDRAMを形成するアプリケーションに有用である。或いは、この半導体基板 40 は、SOI 領域 41 にはDRAMのメモリセルトランジスタや論理回路を形成し、非SOI 領域 42 にはDRAMのメモリセルキャパシタを形成するアプリケーションに有用である。DRAMを形成するために使用される半導体基板 40 におけるSOI 領域及び非SOI 領域の単結晶シリコン層の厚さの一例を挙げると、SOI 領域では約 100 nm、非SOI 領域では数ミクロン～10 ミクロン程度である。

【0040】

図 1 G に示す工程（結合工程）に先立って第 1 基板 10 c の表面に絶縁層 21 を形成した場合、又は、第 2 基板 20 として表面に絶縁層 21 を有する第 2 基板 20 を採用した場合は、最終的に図 3 に示すような半導体基板 50 が得られる。図 3 に示す半導体基板 50 は、単結晶シリコン層（第 1 半導体層）16 の下に部分的な絶縁層 12 a を有し、その下に隣接して又は離隔して全面の絶縁層 21 を有する基板となる。なお、図 1 D 又は図 1 E に示す成長工程又は平坦化工程において、部分的な絶縁層 12 a が表面に露出するように製造条件を決定した場合には、部分的な絶縁層 12 a の下に隣接する全面の絶縁層 21 が配置される。部分的な絶縁層 12 a を有しない領域は、部分的な絶縁層 12 a を有する領域に対して厚いSOI 層（以下、このような領域を厚SOI 領域と呼ぶ）を有する。このような構造によれば、部分的な絶縁層 12 a を有しない領域に形成されるデバイ

スについても、バルクシリコンから誘電分離することができる。

【0041】

以上のように、イオン注入法により第1基板に分離層を形成した後に該第1基板と第2基板を結合させて結合基板を作成し、次いで、該結合基板を該分離層の部分で分割することにより部分的な絶縁層を内部に有し、その上に薄いSOI層を有するSOI基板を作製することができる。そして、このようなSOI層は、分割工程を通して薄化されているので、通常のSOI基板のSOI層とほぼ同様の特性を有する。

【0042】

[実施例]

以下、本発明の第1の実施の形態の好適な実施例を挙げる。

【0043】

(実施例1)

まず、比抵抗 $10 \sim 20 \Omega \cdot \text{cm}$ のP型又はN型の第1の単結晶Si基板11を準備した(図1Aに示す工程に相当)。次いで、基板11の表面に熱酸化法等により 200 nm 厚の SiO_2 層12を形成した(図1Bに示す工程に相当)。なお、 SiO_2 層12の形成に先立って、基板11の表面に、単結晶シリコン層をエピタキシャル成長させてもよい。このようなエピタキシャル層は、典型的には $300 \sim 400 \text{ nm}$ の厚さであるが、 300 nm 以下又は 400 nm 以上であってもよい。

【0044】

次いで、 SiO_2 層12上にマスク材(SiN等が好適)を堆積して、その上に更にレジストを塗布し、非SOI領域(あるいは厚SOI領域)とする領域に開口が形成されるように、これらを順にパタニングした(図1Cに示す工程に相当)。なお、ここでは、第1基板と第2基板とを結合させる結合法を用いるので、パタニングは、正常なパターンの鏡像が形成されるように行う必要が有る。

【0045】

ここで、 SiO_2 層12上にマスク材を堆積しない場合には、 SiO_2 層12上にレジストを塗布しこれをパタニングしてレジストパターンを形成し、その後

、レジストパターンの開口部を通して SiO_2 層 12 をエッチングして、単結晶シリコン基板 11 の表面を部分的に露出させる。

【0046】

一方、 SiO_2 層 12 上にマスク材を堆積する場合には、その上にレジストを塗布しこれをパターンしてレジストパターンを形成し、その後、レジストパターンの開口部を通してマスク材をエッチングして、マスク材をパタニングする。次いで、マスク材の開口部を通して、単結晶シリコン基板 11 の表面が露出するまで SiO_2 層 12 をエッチングして、 SiO_2 層 12 をパタニングする。その際、必要に応じて、マスク材のパタニングの後、 SiO_2 層 12 のパタニングの前にレジストを剥離してもよい。

【0047】

レジスト及びマスク材を除去すると、部分的に単結晶シリコン基板 11 の表面が表出した第 1 基板 10 が得られた。

【0048】

次いで、エピタキシャル成長工程を実施することにより、単結晶シリコン基板 11 の表面が露出した領域上にエピタキシャル Si 層 13 が形成され、これと同時に SiO_2 層 12 a 上に多結晶 Si 層 14 が形成された（図 1 D に示す工程に相当）。ここで、エピタキシャル Si 層 13 の厚さは、最終的な半導体基板に要求される仕様に応じて適宜決定することができ、例えば、5 ミクロンとすることができる。

【0049】

次いで、基板の表面を研磨して平滑化した（図 1 E に示す工程に相当）。この研磨工程として、CMP 工程を実施してもよい。ここで、研磨工程における研磨ダメージを除去するために洗浄工程及び／又はエッチング工程を更に実施してもよい。

【0050】

次いで、単結晶シリコン基板 11 中の所定位置にイオンが注入されるように投影飛程を設定して第 1 基板 10 b に対してその表面を通してイオンを注入した（図 1 F に示す工程に相当）。これにより、分離層として機能するイオン注入層 1

5が、微小気泡層 (microcavity layer) 或いは注入イオン種高濃度層として形成された。このイオン注入工程は、例えば、 360 keV で $5 \times 10^{16}\text{ cm}^{-2}$ の水素イオン (H^+) を注入することにより実施することができ、この場合の投影飛程は、約3.3ミクロンである。また、このイオン注入工程は、通常のイオン注入装置ではなく、プラズマ装置を利用して複数枚の基板に対して一括して実施してもよい。この場合、注入するイオンは、 H^+ よりも H^{2+} の方が効率が良い場合もある。

【0051】

次いで、第1基板10cの表面と別に用意した第2のSi基板20の表面とを重ね合わせ、接触させた後、温度 300°C で10時間の熱処理をし、第1基板10cと第2基板20との結合強度を向上させた (図1Gに示す工程に相当)。これにより、結合基板30が得られた。ここで、重ね合わせの前に、 N_2 又は O_2 プラズマ処理等の前処理を第1基板及び第2基板に施すことにより、結合強度を向上させることができた。なお、結合強度の向上のための熱処理は必須ではなく、省略可能である。

【0052】

第1基板10cの表面及び第2基板20の表面の少なくとも一方の上に酸化膜を形成した場合には、エピタキシャルSi層13を成長させた領域は、非SOI領域ではなく厚SOI領域となる (図3参照)。厚SOI領域のシリコン膜厚は、最終的な半導体基板に要求される仕様に応じて適宜決定することができ、例えば、10ミクロンとすることができる。

【0053】

上記のような酸化膜を形成しない場合には、部分的な SiO_2 層が存在しない領域は、SOI構造にはならず、単結晶シリコン基板又はエピタキシャルシリコン基板 (単結晶シリコン基板として表面にエピタキシャルシリコン層を有する基板を使用した場合) とほぼ同じ構造になる (図2参照)。

【0054】

次いで、結合基板30に 400°C で10時間の熱処理を施すことにより、結合基板30をイオン注入層15の部分で2分割した (図1Hに示す工程に相当)。

その結果、元々第1基板10に形成されていた多結晶シリコン層14、部分的なSiO₂層12a、エピタキシャルSi層13、単結晶シリコン層16、及び多孔質Si層15の一部15bが、第2基板20側に移設された。第1基板11aの表面には多孔質Si層15aのみが残った。

【0055】

このような分割工程では、熱処理に代えて、結合基板30の周辺部の隙間（2枚の基板10c、20のベベリングで構成された隙間）に流体（液体又は気体）又は固体くさびを挿入する方法、結合基板30に引っ張り力やせん断力等の機械的な力を印加する方法、結合基板30に超音波を印加する方法等を採用することもできる。

【0056】

更には、結合基板を分割せずに、結合基板を構成する2枚の基板のうち第1基体10cの裏面側から分離層15までを研削、研磨、エッチング等で除去してもよい。

【0057】

次いで、第2基板20上の最表面に移設された分離層15bをCMP等の研磨又はエッチングにより除去するとともに表面を平坦化した（図1Iに示す工程に相当）。次いで、水素アニール処理等の平坦化工程を実施してもよい。或いは、分離層15bが残留したままの状態の水素アニールを実施してもよい。

【0058】

以上の工程により、部分的な絶縁層12a及びそれらの間の単結晶Si層13の上に0.2μmの厚みを持った単結晶Si層16を有する半導体基板が得られた。形成された単結晶Si層16の膜厚を面内全面について100点を測定したところ、膜厚の均一性は201nm±5nmであった。

【0059】

透過電子顕微鏡による断面観察の結果、単結晶Si層16には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0060】

形成された基板140の表面粗さを原子間力顕微鏡で評価したところ、50μ

m角の領域での平均2乗粗さはおよそ0.2nmであり、通常市販されているSiウエハと同等であった。

【0061】

なお、上記の製造方法において、単結晶シリコン基板11に代えて、表面に例えばSiGe、GaAs、SiC、C等を有する基板を採用してもよい。この場合、基板の表面（部分的な絶縁層の間の領域）上に成長させる層は、その下地の材料と同一材料で形成することが好ましい。

【0062】

第2基板としては、例えば、シリコン基板の他、石英、サファイア、セラミックス、カーボン、SiC等からなる基板を採用することもできる。

【0063】

（実施例2）

実施例1の方法で製造した図2に示す構造を有する半導体基板の非SOI領域に、トレンチキャパシタを有するDRAMを形成し、SOI領域に、論理回路を含む他のデバイスを形成した。ここで、露光工程において、露光ショットの全域が投影光学系の深度内に収まり、局所的な焦点ずれ（基板表面の凹凸に起因する焦点ずれ）は起こらなかった。非SOI領域には、十分な厚さの単結晶シリコン層が形成されているので、トレンチキャパシタを形成する上で何ら障害がなかった。

【0064】

なお、上記の半導体基板は、DRAMを混載した集積回路以外の集積回路の形成にも有効である。

【0065】

〔第2の実施の形態〕

図4A～図4Jは、本発明の第2の実施の形態に係る基板製造方法を説明するための図である。図4Aに示す工程では、単結晶シリコン基板（シード基板）111を準備する。ここで、単結晶シリコン基板111として、表面に単結晶シリコンのエピタキシャル成長層を有する基板を使用してもよい。

【0066】

次いで、図 4 B に示す工程では、単結晶シリコン基板 111 上に絶縁層としての SiO_2 層 112 を形成する。 SiO_2 層 112 は、例えば熱酸化法により形成することができ、熱酸化法によれば、良質の SiO_2 層を形成することができる。

【0067】

図 4 C に示す工程では、 SiO_2 層 112 をパタニングして部分的な SiO_2 層 112 a を形成する。ここで、部分的な SiO_2 層とは、少なくとも一部の領域において単結晶シリコン基板 111 或いは下地の半導体領域（例えば、単結晶シリコン基板 111 として、表面にエピタキシャル成長シリコン層を有する基板を採用した場合には、当該シリコン層）が露出するように形成された SiO_2 層をいう。 SiO_2 層 112 は、例えば、 SiO_2 層 112 上にマスク材を形成した後リソグラフィ工程（レジスト塗布、露光、現像、エッチング）により該マスク材をパタニングして開口部を形成し、該開口部の底に露出している SiO_2 層 112 を RIE（Reactive Ion Etching）法等によりエッチングすることによりパタニングすることができる。

【0068】

この工程により、単結晶シリコン基板 111 の上に部分的な SiO_2 層（絶縁層）112 a を有する第 1 基板 110 が形成される。

【0069】

なお、図 4 B 及び図 4 C に示す工程に代えて、例えば、部分的な SiO_2 層 112 a を形成すべき領域以外をマスクパターンで覆い、露出部分にのみ SiO_2 層 112 a を形成する工程を採用してもよい。

【0070】

図 4 D に示す工程では、第 1 基板 110 の部分的な SiO_2 層 112 a の間の領域に露出している単結晶シリコン基板（半導体領域）111 上にエピタキシャル成長法により単結晶シリコン層（半導体層）113 を成長させる。このとき、部分的な絶縁層 112 a の上には多結晶シリコン層（非単結晶半導体層）114 が形成されうる。ただし、部分的な絶縁層 112 a の上に多結晶シリコン層 114 が形成されない条件で単結晶シリコン基板 111 上に単結晶シリコン層 113

を成長させてもよい。

【0071】

典型的には、単結晶シリコン層 113 と多結晶シリコン層 114 とは成長速度が異なるので、単結晶シリコン層 113 と多結晶シリコン層 114 との間には段差が生じ得る。また、単結晶シリコン層 113、多結晶シリコン層 114 の各表面には、それぞれ凹凸が形成され得る。

【0072】

図 4 E に示す工程では、単結晶シリコン層 113 及び多結晶シリコン層 114、すなわち第 1 基板 110 a の全面に、第 2 基板と結合させるべき結合層（第 2 層）115 を形成する。結合層は、続く平坦化工程における平坦化を容易にするために、実質的に一様な構造（一様に研磨することができる構造）を有することが好ましい。結合層 115 は、半導体層であってもよいし、半導体材料以外の材料からなる層であってもよいが、結合層 115 としては、例えば、多結晶シリコン層、非晶質シリコン層、酸化膜（例えば、CVD 法等による SiO_2 層）、PSG 層、BPSG 層等の絶縁層が好適である。ここで、結合層 115 として、 SiO_2 層を形成する場合、その SiO_2 層の形成は、熱酸化法によってもよいが、CVD 法による方が好ましい。これは、熱酸化法では、下地の形状が SiO_2 層の表面形状に強く反映されるが、CVD 法によれば、下地の段差形状が緩和され易いからである。

【0073】

結合層 115 を形成することにより、第 1 基板 110 b の表面を平坦化することができる。これは、続く結合工程（はり合わせ工程）における第 1 基板と第 2 基板との結合強度及び結合の容易性の向上に寄与する。また、結合層 115 の形成は、最終的に活性層となる部分（単結晶シリコン基板 111 の表層部分であって後述の単結晶シリコン層 116）を、第 1 基板に結合される第 2 基板から遠ざけるためにも有効である。

【0074】

ここで、第 1 基板 110 b の表面の平坦性をより向上させるために、結合層 115 を形成する前に、単結晶シリコン層 113 及び多結晶シリコン層 114 が混

在する第1基板110a(図4D参照)の表面を研磨或いは研削等により平坦化することが好ましい。この場合、結合層115の形成後の平坦化工程を実施しない場合においても、表面平坦性の高い第1基板を得ることができる。

【0075】

図4Fに示す工程(平坦化工程)は、第1基板11b(図4E参照)の表面の凹凸が許容できない場合に実施する工程であり、第1基板110bの表面を研磨或いは研削等により平坦化する。このように、結合層115の表面を平坦化することにより、続く結合工程(はり合わせ工程)における第1基板と第2基板との結合強度及び結合の容易性を更に向上させることができる。

【0076】

なお、図4Eに示す結合層の形成工程を実施することなく、図4Dに示す状態の基板、すなわち、単結晶シリコン層113及び多結晶シリコン層114が混在する第1基板110aの表面を平坦化する工程を実施し、その後直ちに第1基板を第2基板に結合させることは好ましくない場合がある。すなわち、単結晶シリコン層113及び多結晶シリコン層114が混在する第1基板110aの表面に対して平坦化工程を実施しても高い平坦性を得ることが難しい。例えば、単結晶シリコン層113の平坦化に適合した平坦化工程を実施すると、多結晶シリコン層114については高い平坦性が得られず、逆に、多結晶シリコン層114の平坦化に適合した平坦化工程を実施すると、単結晶シリコン層113については高い平坦性が得られない。しかも、単結晶シリコン層113と多結晶シリコン層114との間に段差が形成される可能性もある。

【0077】

図4Gに示す工程では、第1基板110cの表面を通して第1基板110cの部分的なSiO₂層112aよりも深い位置に水素イオン又はヘリウムイオン等のイオンを注入して、部分的なSiO₂層112a及び単結晶シリコン層113の下面から下方に離隔した位置に分離層116としてのイオン注入層を形成する。これにより、部分的なSiO₂層112a及び単結晶シリコン層113の下には、元の単結晶シリコン基板111の表面部分が単結晶シリコン層117として残り、その下に分離層116が形成され、その下に元の単結晶シリコン基板111

の主要部分（表面部分以外）が単結晶シリコン部 111a として残る。ここで、このようなイオン注入工程は、図 4 F に示す工程よりも前に実施することもできる。

【0078】

図 4 H に示す工程では、図 4 G に示す第 1 基板 110 d の結合層 115 a に第 2 基板（ハンドル基板）120 を結合させて、結合基板（はり合わせ基板）130 を形成する。なお、結合に先立って、第 1 基板 110 d の表面に、更に熱酸化法等により SiO_2 層（絶縁層）を形成してもよい（結合層 115 が SiO_2 層等の絶縁膜であるときは、この限りでない）。この際、400℃以上の熱酸化処理工程を必要とする場合には、イオン注入の工程前にその熱酸化処理工程を行う。第 2 基板 120 としては、典型的には、単結晶シリコン基板又はその表面に SiO_2 層等の絶縁層を形成した基板を採用することができる。しかしながら、第 2 基板 120 は、それ以外の基板、例えば、絶縁性基板（例えば、ガラス基板等）であってもよい。

【0079】

図 4 I に示す工程では、結合基板 130 を分離層 116 の部分で切断することにより 2 枚の基板に分割する。この分割は、例えば、結合基板 130 に熱処理を施すことによっても実施することができる。或いは、この分割は、流体を使って行うこともできる。流体を使う方法としては、例えば、流体（液体又は気体）の噴流を形成してこれを分離層 116 に打ち込む方法や、流体の静圧を利用する方法等が好適である。前者の方法において、流体として水を利用する方法は、ウォータージェット法と呼ばれる。或いは、この分割は、固体の楔等の部材を分離層 116 に挿入することによっても実施することができる。

【0080】

ここで、上記のような分割方法の他、第 1 基板 110 d をその裏面（露出面）から研削、研磨し、絶縁層 112 a 上に所定厚の単結晶シリコン層を残す研削・研磨方法を採用してもよい。なお、この場合、必ずしも分離層 116 を形成する必要はない。

【0081】

図 4 J に示す工程では、第 2 基板 120 の単結晶シリコン層 117 上に残っている分離層 116 b をエッチング液等を使って除去する。このとき、単結晶シリコン層 117 をエッチングストップ層として利用すればよい。その後、必要に応じて、水素アニール工程、研磨工程等の平坦化工程を実施して基板表面を平坦化してもよい。

【0082】

以上の方法により、図 5 に示すような半導体基板（部分 SOI 基板）140 が得られる。図 5 に示す半導体基板 140 は、表面に薄い単結晶シリコン層（第 1 半導体層）117 を有し、その下に部分的な SiO₂ 層（絶縁層）112 a 及び単結晶シリコン層（第 2 半導体層）113 を有する。ここで、薄い単結晶シリコン層とは、一般的な半導体基板に比べて薄いことを意図した表現であり、単結晶シリコン層（第 1 半導体層）117 の厚さは、SOI 基板としての優位性を発揮する上で、例えば、10 μ m 以下が好ましく、5 nm ~ 2 μ m の範囲が更に好ましい。

【0083】

半導体基板 140 のうち部分的な SiO₂ 層（絶縁層）112 a を埋め込み絶縁層として有する領域（SOI 領域）141 は、全領域に埋め込み絶縁膜を有する SOI 基板と同様の特性を有する。また、半導体基板 140 のうち部分的な絶縁層 112 a を有しない領域（非 SOI 領域）142、すなわち、単結晶シリコン層 117 の下に単結晶シリコン層 113 を有する領域 142 は、通常のシリコン基板とほぼ同様の特性を有する。

【0084】

ここで、単結晶シリコン基板 111 として、表面に単結晶シリコンのエピタキシャル成長層を有する基板を使用した場合には、領域 142 は、エピタキシャルシリコン層を表面に有するシリコン基板とほぼ同様の特性を有する。この場合において、単結晶シリコン層 113 は、エピタキシャル成長法により形成された単結晶シリコン層 117 を下地としてエピタキシャル成長法により形成される層であるため、単結晶シリコン層 117 と単結晶シリコン層 113 との界面には殆ど欠陥が生じない。したがって、この半導体基板 140 を使用する場合、SOI 領

域に形成するデバイスよりも深い構造を有するデバイス（例えば、トレンチキャパシタ）を非SOI領域に形成する場合においても、高品位のデバイスを形成することができる。

【0085】

この実施の形態によって製造され得る半導体基板140は、例えば、SOI領域141には論理回路を形成し、非SOI領域142にはトレンチ型キャパシタを有するDRAMを形成するアプリケーションに有用である。或いは、この半導体基板140は、SOI領域141にはDRAMのメモリセルトランジスタや論理回路を形成し、非SOI領域142にはDRAMのメモリセルキャパシタを形成するアプリケーションに有用である。DRAMを形成するために使用される半導体基板40におけるSOI領域及び非SOI領域の単結晶シリコン層の厚さの一例を挙げると、SOI領域では約100nm、非SOI領域では数ミクロン～10ミクロン程度である。

【0086】

図4Hに示す工程（分割工程）に先立って第1基板110dの表面に絶縁層121を形成した場合、又は、第2基板120として表面に絶縁層121を有する第2基板120を採用した場合は、最終的に図6に示すような半導体基板150が得られる。図6に示す半導体基板150は、単結晶シリコン層（第1半導体層）117の下に部分的な絶縁層112aを有し、その下に離隔して全面の絶縁層121を有する基板となる。

【0087】

以上のように、この実施の形態によれば、結合工程の前に第1基板の表面に結合層を形成することにより、第1基板の表面の平坦性を向上させ、第2基板との結合を容易にすることができる。

【0088】

[実施例]

以下、本発明の第2の実施の形態の好適な実施例を挙げる。

【0089】

（実施例1）

まず、比抵抗 $10 \sim 20 \Omega \cdot \text{cm}$ の P 型又は N 型の第 1 の単結晶 Si 基板 111 を準備した (図 4 A に示す工程に相当)。次いで、基板 111 の表面に熱酸化法等により 200 nm 厚の SiO_2 層 112 を形成した (図 4 B に示す工程に相当)。なお、 SiO_2 層 112 の形成に先立って、基板 111 の表面に、単結晶シリコン層をエピタキシャル成長させてもよい。このようなエピタキシャル層は、典型的には $300 \sim 400 \text{ nm}$ の厚さであるが、 300 nm 以下又は 400 nm 以上であってもよい。

【0090】

次いで、酸化膜上にマスク材 (SiN 等が好適) を堆積して、その上に更にレジストを塗布し、非 SOI 領域 (あるいは厚 SOI 領域) とする領域に開口が形成されるように、これらを順にパタニングした (図 4 C に示す工程に相当)。なお、ここでは、第 1 基板と第 2 基板とを結合させる結合法を用いるので、パタニングは、正常なパターンの鏡像が形成されるように行う必要が有る。

【0091】

ここで、 SiO_2 層 112 上にマスク材を堆積しない場合には、 SiO_2 層 112 上にレジストを塗布しこれをパタニングしてレジストパターンを形成し、その後、レジストパターンの開口部を通して SiO_2 層 112 をエッチングして、単結晶シリコン基板 111 の表面を部分的に露出させる。

【0092】

一方、 SiO_2 層 112 上にマスク材を堆積する場合には、その上にレジストを塗布しこれをパターンしてレジストパターンを形成し、その後、レジストパターンの開口部を通してマスク材をエッチングして、マスク材をパタニングする。次いで、マスク材の開口部を通して、単結晶シリコン基板 111 の表面が露出するまで SiO_2 層 112 をエッチングして、 SiO_2 層 112 をパタニングする。その際、必要に応じて、マスク材のパタニングの後、 SiO_2 層 112 のパタニングの前にレジストを剥離してもよい。

【0093】

レジスト及びマスク材を除去すると、部分的に単結晶シリコン基板 111 の表面が表出した第 1 基板 110 が得られた。

【0094】

次いで、エピタキシャル成長工程を実施することにより、単結晶シリコン基板 111 の表面が露出した領域上にエピタキシャル Si 層 113 が形成され、これと同時に SiO₂ 層 112a 上に多結晶 Si 層 114 が形成された（図 4D に示す工程に相当）。ここで、エピタキシャル Si 層 113 の厚さは、最終的な半導体基板に要求される仕様に応じて適宜決定することができ、例えば、5 ミクロンとすることができる。

【0095】

次いで、上記の第 1 基板 110a の全面に結合層 115 として 3 ミクロン厚の多結晶シリコン層を成長させた（図 4E に示す工程に相当）。なお、この結合層の膜厚は、要求される第 1 基板の平坦性等に応じて変更することができる。ここで、結合層 115 としては、多結晶シリコン層の他、例えば、非晶質シリコン層、酸化膜（例えば、CVD 法等による SiO₂ 層）、PSG 層、BPSG 層等の絶縁層が好適である。更に、結合層 115 の上に SiO₂ 層等の絶縁層を形成してもよい（結合層が絶縁層である場合には、この限りでない）。

【0096】

次いで、第 1 基板 110b の表面（結合層 115）を研磨して平滑化した（図 4F に示す工程に相当）。この研磨工程として、CMP 工程を実施してもよい。ここで、研磨工程における研磨ダメージを除去するために洗浄工程及び／又はエッチング工程を更に実施してもよい。

【0097】

次いで、単結晶シリコン基板 111 中の所定位置にイオンが注入されるように投影飛程を設定して第 1 基板 110d に対してその表面を通してイオンを注入した（図 4G に示す工程に相当）。これにより、分離層として機能するイオン注入層 116 が、微小気泡層（microcavity layer）或いは注入イオン種高濃度層として形成された。このイオン注入工程は、例えば、600 keV で $5 \times 10^{16} \text{ cm}^{-2}$ の水素イオン（H⁺）を注入することにより実施することができ、この場合の投影飛程は、約 6.3 ミクロンである。また、このイオン注入工程は、通常のイオン注入装置ではなく、プラズマ装置を利用して複数枚の基板に対して一

括して実施してもよい。この場合、注入するイオンは、 H^+ よりも H^{2+} の方が効率がよい場合もある。

【0098】

次いで、第1基板110dの表面と別に用意した第2のSi基板120の表面とを重ね合わせ、接触させた後、温度300℃で10時間の熱処理をし、第1基板10cと第2基板20との結合強度を向上させた（図4Hに示す工程に相当）。これにより、結合基板130が得られた。ここで、重ね合わせの前に、 N_2 又は O_2 プラズマ処理等の前処理を第1基板及び第2基板に施すことにより、結合強度を向上させることができた。なお、結合強度の向上のための熱処理は必須ではなく、省略可能である。

【0099】

第1基板110dの表面及び第2基板120の表面の少なくとも一方の上に酸化膜を形成した場合、又は、結合層117を絶縁層とした場合には、エピタキシャルSi層113を成長させた領域は、非SOI領域ではなく厚SOI領域となる（図6参照）。厚SOI領域のシリコン膜厚は、最終的な半導体基板に要求される仕様に応じて適宜決定することができ、例えば、10ミクロンとすることができる。

【0100】

上記のような酸化膜を形成しない場合には、部分的な SiO_2 層が存在しない領域は、SOI構造にはならず、単結晶シリコン基板又はエピタキシャルシリコン基板（単結晶シリコン基板として表面にエピタキシャルシリコン層を有する基板を使用した場合）とほぼ同じ構造になる（図5参照）。

【0101】

次いで、結合基板130に400℃で10時間の熱処理を施すことにより、結合基板130をイオン注入層116の部分で2分割した（図4Iに示す工程に相当）。その結果、元々第1基板110に形成されていた多結晶シリコン層114、部分的な SiO_2 層112a、エピタキシャルSi層113、単結晶シリコン層117、及び多孔質Si層116の一部116bが、第2基板120側に移設された。第1基板111aの表面には多孔質Si層116aのみが残った。

【0102】

このような分割工程では、熱処理に代えて、結合基板 130 の周辺部の隙間（2 枚の基板 110 d、120 のベベリングで構成された隙間）に流体（液体又は気体）又は固体くさびを挿入する方法、結合基板 130 に引っ張り力やせん断力等の機械的な力を印加する方法、結合基板 130 に超音波を印加する方法等を採用することもできる。

【0103】

更には、結合基板を分割せずに、結合基板を構成する 2 枚の基板のうち第 1 基板 110 d の裏面側から分離層 116 までを研削、研磨、エッチング等で除去してもよい。

【0104】

次いで、第 2 基板 120 上の最表面に移設された分離層 116 b を CMP 等の研磨又はエッチングにより除去するとともに表面を平坦化した（図 4 J に示す工程に相当）。次いで、水素アニール処理等の平坦化工程を実施してもよい。或いは、分離層 116 b が残留したままの状態の水素アニールを実施してもよい。

【0105】

以上の工程により、部分的な絶縁層 112 a 及びそれらの間の単結晶 Si 層 113 の上に $0.2\ \mu\text{m}$ の厚みを持った単結晶 Si 層 117 を有する半導体基板が得られた。形成された単結晶 Si 層 117 の膜厚を面内全面について 100 点を測定したところ、膜厚の均一性は $201\ \text{nm} \pm 5\ \text{nm}$ であった。

【0106】

透過電子顕微鏡による断面観察の結果、単結晶 Si 層 117 には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0107】

形成された基板 140 の表面粗さを基板原子間力顕微鏡で評価したところ、 $50\ \mu\text{m}$ 角の領域での平均 2 乗粗さはおおよそ $0.2\ \text{nm}$ であり、通常市販されている Si ウエハと同等であった。

【0108】

なお、上記の製造方法において、単結晶シリコン基板 111 に代えて、表面に

例えばSiGe、GaAs、SiC、C等を有する基板を採用してもよい。この場合、基板の表面（部分的な絶縁層の間の領域）上に成長させる層は、その下地の材料と同一材料で形成することが好ましい。

【0109】

第2基板としては、例えば、シリコン基板の他、石英、サファイア、セラミックス、カーボン、SiC等からなる基板を採用することもできる。

【0110】

（実施例2）

実施例1の方法で製造した図5に示す構造を有する半導体基板の非SOI領域に、トレンチキャパシタを有するDRAMを形成し、SOI領域に、論理回路を含む他のデバイスを形成した。ここで、露光工程において、露光ショットの全域が投影光学系の深度内に収まり、局所的な焦点ずれ（基板表面の凹凸に起因する焦点ずれ）は起こらなかった。非SOI領域には、十分な厚さの単結晶シリコン層が形成されているので、トレンチキャパシタを形成する上で何ら障害がなかった。

【0111】

なお、上記の半導体基板は、DRAMを混載した集積回路以外の集積回路の形成にも有効である。

【0112】

〔第3の実施の形態〕

この実施の形態は、第1及び第2の実施の形態の改良例に係り、より具体的には、部分的な絶縁層の間に露出している半導体領域に単結晶シリコン層等の単結晶半導体層を成長させるとともに部分的な絶縁層上に非単結晶半導体層（例えば、多結晶半導体層）を成長させる工程（図1D、図4D）の改良例に関する。

【0113】

図7は、非SOI領域又は厚SOI領域となるべき領域の縮小を説明する図である。部分的な絶縁層12a（112a）の間に露出している単結晶シリコン基板11（111）上に単結晶シリコン層13（113）を成長させる際に、典型的には、同時に部分的な絶縁層12a（112a）の上には多結晶シリコン層1

4 (114) が成長する。このとき、例えば、単結晶シリコン層 13 (113) の成長速度よりも多結晶シリコン層 14 (114) の成長速度が速い場合には、多結晶シリコンが部分的な絶縁層 12a (112a) が存在しない領域（すなわち、非 SOI 領域又は厚 SOI 領域となるべき領域）A1 内に進入し、これにより、非 SOI 領域又は厚 SOI 領域となるべき領域が縮小する。図 7 は、基板の表面において、領域 A1 が領域 A2 に縮小した様子を模式的に示している。

【0114】

このような非 SOI 領域又は厚 SOI 領域となるべき領域の縮小が顕著になると、非 SOI 領域又は厚 SOI 領域を有効に利用することができなくなる。これは、非 SOI 領域又は厚 SOI 領域と SOI 領域との境界領域を大きくする必要性を生じさせ、結果としてデバイスの高集積化を妨げる。

【0115】

図 8 は、第 1 の実施の形態に従って製造され得る部分 SOI 基板であって、非 SOI 領域が縮小したものを模式的に示している。図 8 に示す例では、領域 D の部分が、縮小した領域である。勿論、領域 D の存在がデバイスの高集積化に影響を与えないような応用例も考えられるが、一般的には、このような領域 D の存在は好ましくない。

【0116】

そこで、この実施の形態では、非 SOI 領域又は厚 SOI 領域の縮小問題を解決するための方法を説明する。なお、ここでは、説明の簡略化のため、図 1D（第 1 の実施の形態）及び図 4D（第 2 の実施の形態）に相当する工程（半導体層成長工程）のみを説明する。

【0117】

図 9A は、半導体層成長工程の第 1 工程（第 1 成長工程）を示す図、図 9B は、半導体層成長工程の第 2 工程（第 2 成長工程）を示す図である。この実施の形態の半導体層成長工程を第 1 の実施の形態に適用する場合、図 1A、図 1B、図 1C、図 9A、図 9B、図 1E、図 1F、図 1G、図 1H、図 1I の順に工程が実施される。一方、この実施の形態の半導体層成長工程を第 2 の実施の形態に適用する場合、図 4A、図 4B、図 4C、図 9A、図 9B、図 4E、図 4F、図 4

G、図 4 H、図 4 I、図 4 J の順に工程が実施される。

【0118】

半導体層成長工程の第 1 工程では、図 9 A に例示的に示すように、部分的な絶縁層 12 a (112 a) 上に多結晶半導体層等の非単結晶半導体層が成長しない条件で、部分的な絶縁層 12 a (112 a) の間において露出している単結晶シリコン基板 (半導体領域) 11 (111) の表面の上に単結晶シリコン層 13 a (113 a) をエピタキシャル成長させる。すなわち、第 1 工程では、部分的な絶縁層 12 a (112 a) の間に単結晶シリコン層 13 a (113 a) を選択的に成長させる。

【0119】

ここで、単結晶シリコン層 13 a (113 a) の膜厚は、次工程 (図 9 B) において単結晶シリコン層 13 a (113 a) の上に単結晶シリコン層を更に成長させるとともに部分的な絶縁層 12 a (112 a) の上に多結晶シリコン層を成長させる際に、多結晶シリコンが部分的な絶縁層 12 a (112 a) 上の領域 I A 内に収まるように決定される。より具体的な条件を挙げると、例えば、単結晶シリコン層 13 a (113 a) の膜厚は、部分的な絶縁層 12 a (112 a) の膜厚よりも厚いことが好ましい。

【0120】

半導体層成長工程の第 2 工程では、図 9 B に例示的に示すように、部分的な絶縁層 12 a (112 a) 上に多結晶半導体層等の非単結晶半導体層が成長しかつ単結晶シリコン層 13 a (113 a) を下地として単結晶シリコン層が成長する条件で、多結晶シリコン層 14 (114) 及び単結晶シリコン層 13 (113) を成長させる。このとき、単結晶シリコン層 13 (113) は、単結晶シリコン基板 11 (111) の表面ではなく、単結晶シリコン層 13 a (113 a) の表面を下地として成長するので、図 7 及び図 8 を参照して説明したような縮小問題が起こらず、有効に利用可能な非 SOI 領域又は厚 SOI 領域が確保される。

【0121】

なお、単結晶シリコン層 13 (113) の領域が部分的な絶縁層 12 a (112 a) 上の領域に拡大することは特段の問題を生じさせない。これは、第 1 基板

において、部分的な絶縁層の上に存在する部分は、最終的な部分 S O I 基板（又は、厚 S O I 領域を有する S O I 基板）においては部分的な埋め込み絶縁膜の下方に配置されるので、上記の拡大は、部分的な絶縁層の上部の S O I 領域には影響を与えないからである。

【 0 1 2 2 】

【発明の効果】

本発明によれば、例えば、半導体層の下に部分的な絶縁層を有する基板について S O I 基板としての優位性を保証することができる。

【 0 1 2 3 】

或いは、本発明によれば、例えば、2 枚の基板を結合する工程を経て製造される基板の品質を高めることができる。

【図面の簡単な説明】

【図 1 A】

本発明の第 1 の実施の形態に係る基板製造方法を説明するための図である。

【図 1 B】

本発明の第 1 の実施の形態に係る基板製造方法を説明するための図である。

【図 1 C】

本発明の第 1 の実施の形態に係る基板製造方法を説明するための図である。

【図 1 D】

本発明の第 1 の実施の形態に係る基板製造方法を説明するための図である。

【図 1 E】

本発明の第 1 の実施の形態に係る基板製造方法を説明するための図である。

【図 1 F】

本発明の第 1 の実施の形態に係る基板製造方法を説明するための図である。

【図 1 G】

本発明の第 1 の実施の形態に係る基板製造方法を説明するための図である。

【図 1 H】

本発明の第 1 の実施の形態に係る基板製造方法を説明するための図である。

【図 1 I】

本発明の第 1 の実施の形態に係る基板製造方法を説明するための図である。

【図 2】

本発明の第 1 の実施の形態に係る基板の構造を示す図である。

【図 3】

本発明の第 1 の実施の形態に係る基板の他の構造を示す図である。

【図 4 A】

本発明の第 2 の実施の形態に係る基板製造方法を説明するための図である。

【図 4 B】

本発明の第 2 の実施の形態に係る基板製造方法を説明するための図である。

【図 4 C】

本発明の第 2 の実施の形態に係る基板製造方法を説明するための図である。

【図 4 D】

本発明の第 2 の実施の形態に係る基板製造方法を説明するための図である。

【図 4 E】

本発明の第 2 の実施の形態に係る基板製造方法を説明するための図である。

【図 4 F】

本発明の第 2 の実施の形態に係る基板製造方法を説明するための図である。

【図 4 G】

本発明の第 2 の実施の形態に係る基板製造方法を説明するための図である。

【図 4 H】

本発明の第 2 の実施の形態に係る基板製造方法を説明するための図である。

【図 4 I】

本発明の第 2 の実施の形態に係る基板製造方法を説明するための図である。

【図 4 J】

本発明の第 2 の実施の形態に係る基板製造方法を説明するための図である。

【図 5】

本発明の第 2 の実施の形態に係る基板の構造を示す図である。

【図 6】

本発明の第 2 の実施の形態に係る基板の他の構造を示す図である。

【図 7】

非SOI領域又は厚SOI領域となるべき領域の縮小を説明する図である。

【図 8】

非SOI領域となるべき領域の縮小を説明する図である。

【図 9 A】

半導体層成長工程の第1工程（第1成長工程）を示す図である。

【図 9 B】

半導体層成長工程の第2工程（第2成長工程）を示す図である。

【符号の説明】

10、10a、10b、10c 第1基板

11、11a 単結晶シリコン基板

12 SiO₂層（絶縁層）

12a 部分的なSiO₂層

13 単結晶シリコン層

14 多結晶シリコン層

15、15a、15b 分離層

16 単結晶シリコン層

20 第2基板

30 結合基板

40 部分SOI基板

50 SOI基板

110、110a、110b、110c、110d 第1基板

111、111a 単結晶シリコン基板

112 SiO₂層（絶縁層）

112a 部分的なSiO₂層

113 単結晶シリコン層

114 多結晶シリコン層

115、115a、結合層

116、116a、116b 分離層

1 1 7 単結晶シリコン層

1 2 0 第 2 基板

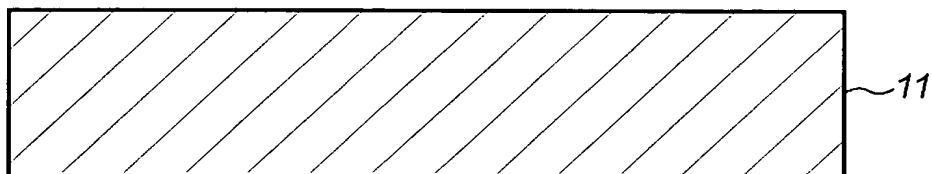
1 3 0 結合基板

1 4 0 部分 S O I 基板

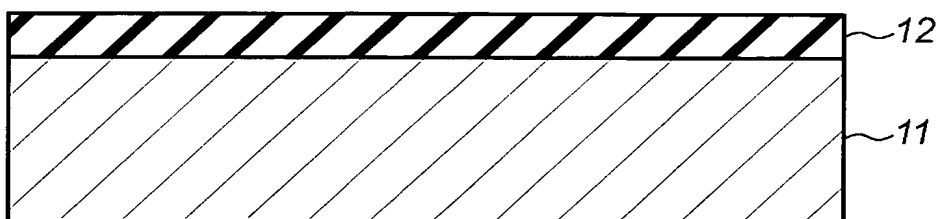
1 5 0 S O I 基板

【書類名】 図面

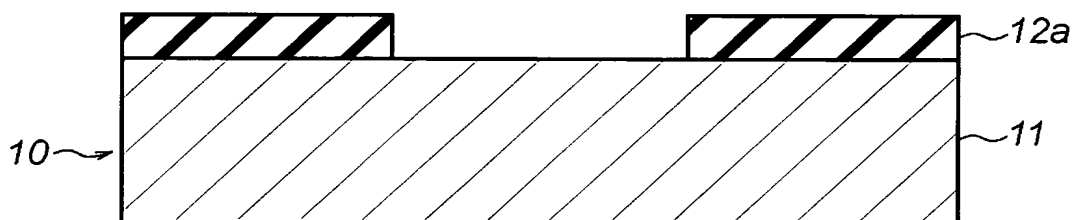
【図 1 A】



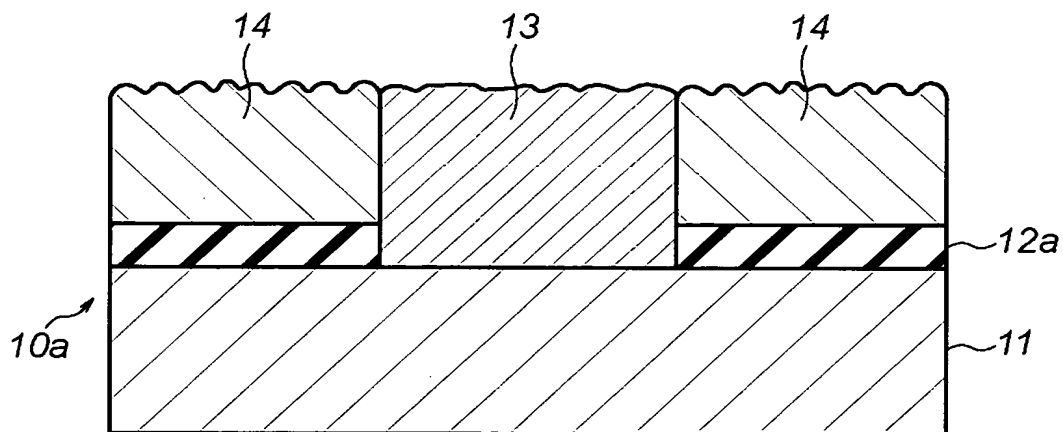
【図 1 B】



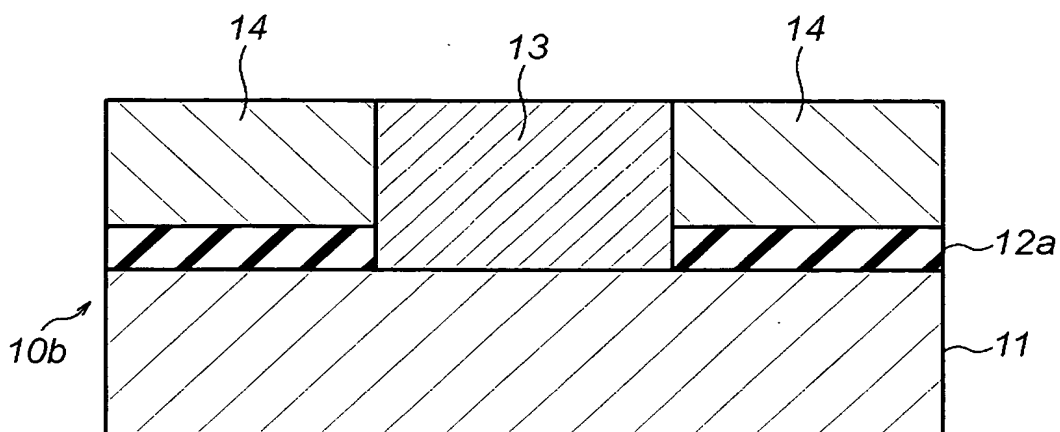
【図 1 C】



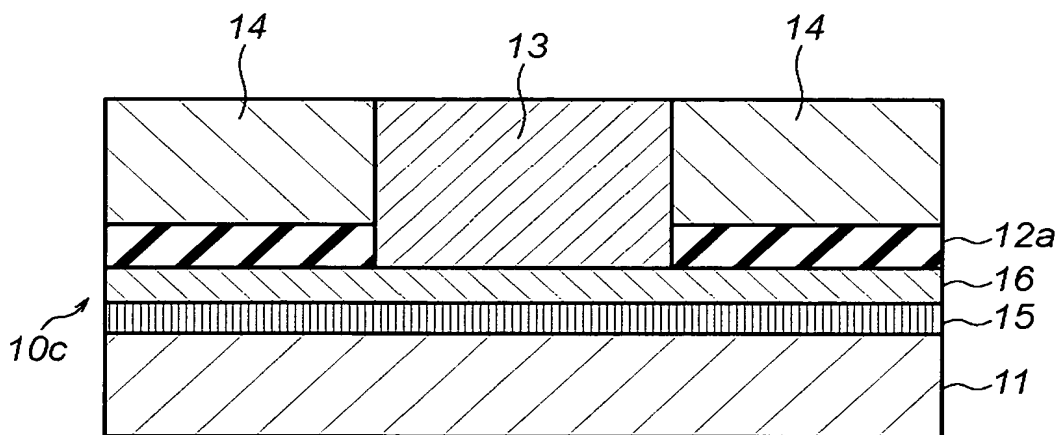
【図 1 D】



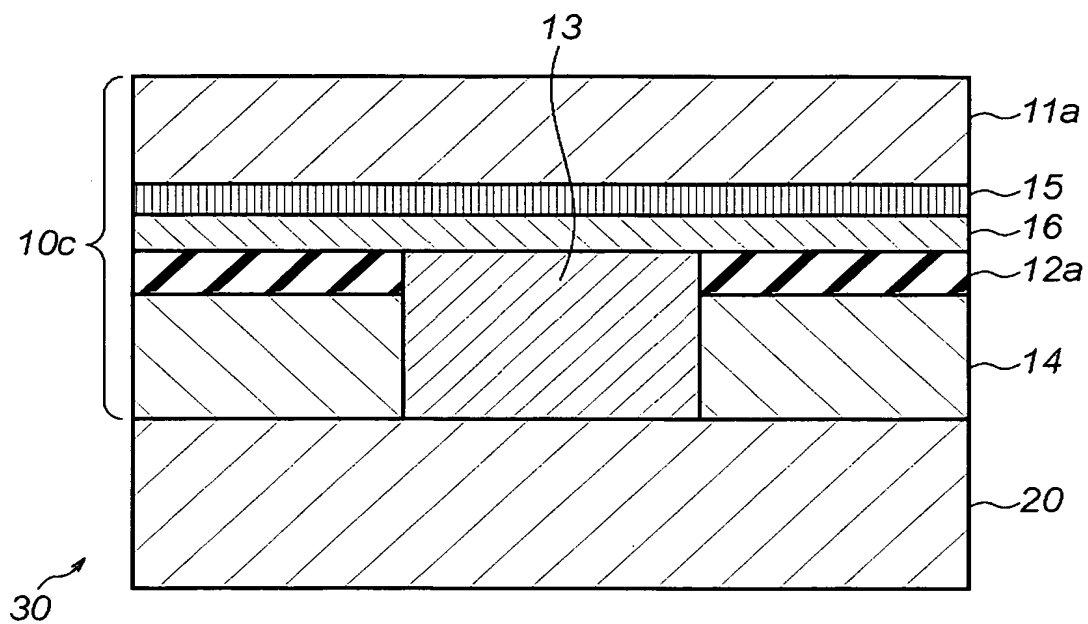
【図 1 E】



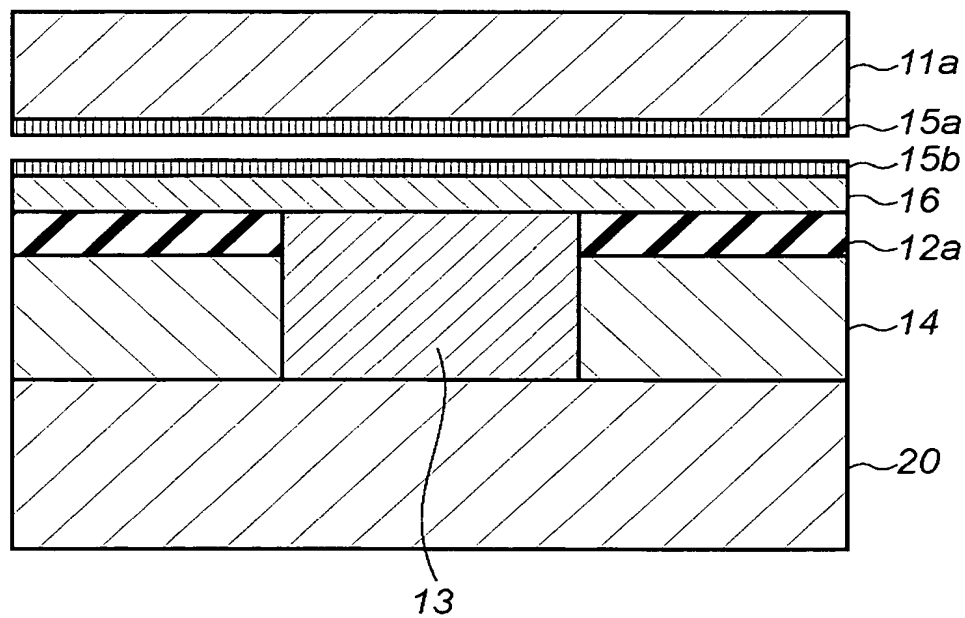
【図 1 F】



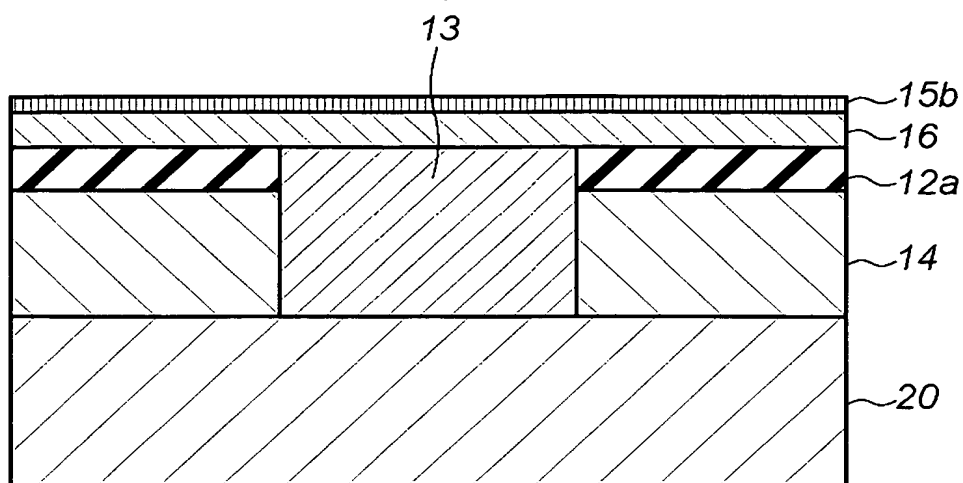
【図 1 G】



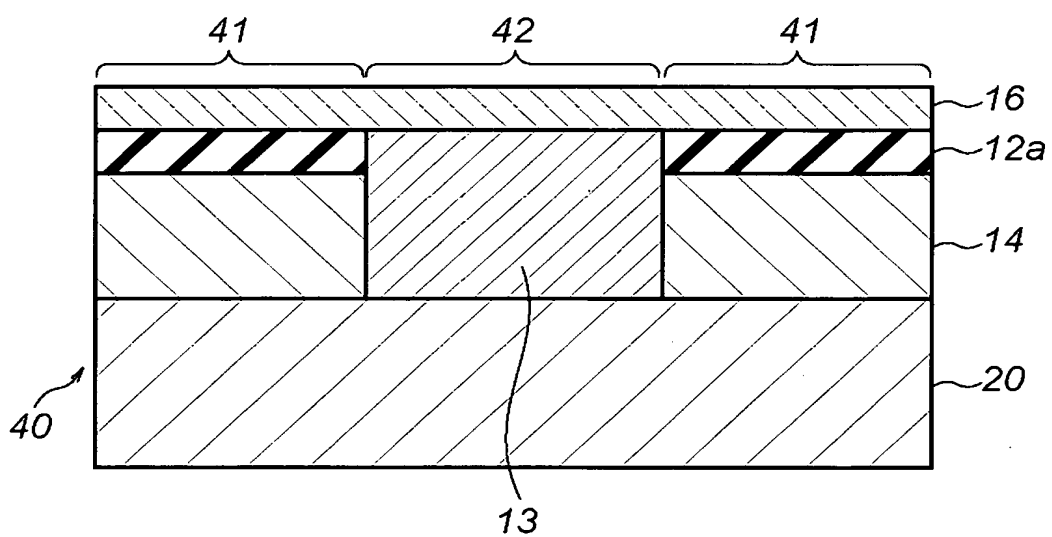
【図 1 H】



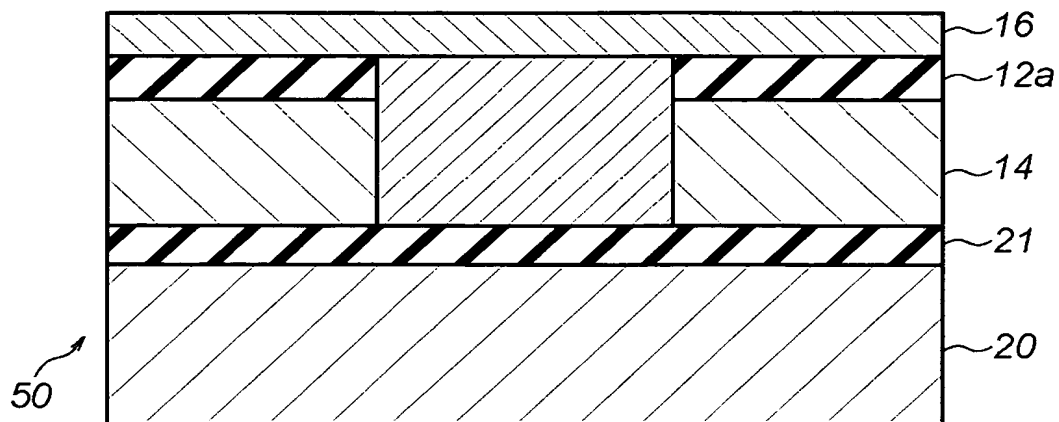
【図 1 I】



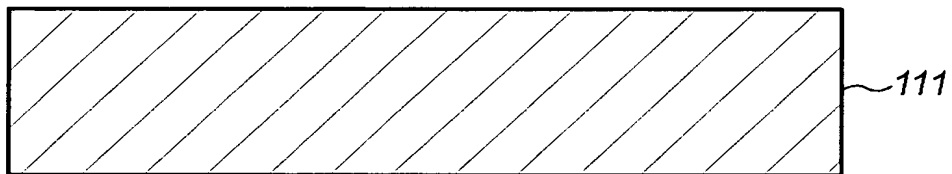
【図 2】



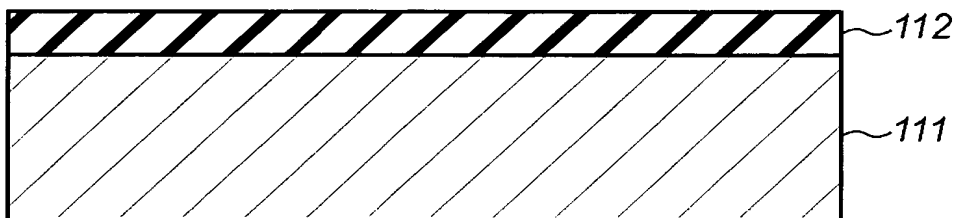
【図 3】



【図 4 A】



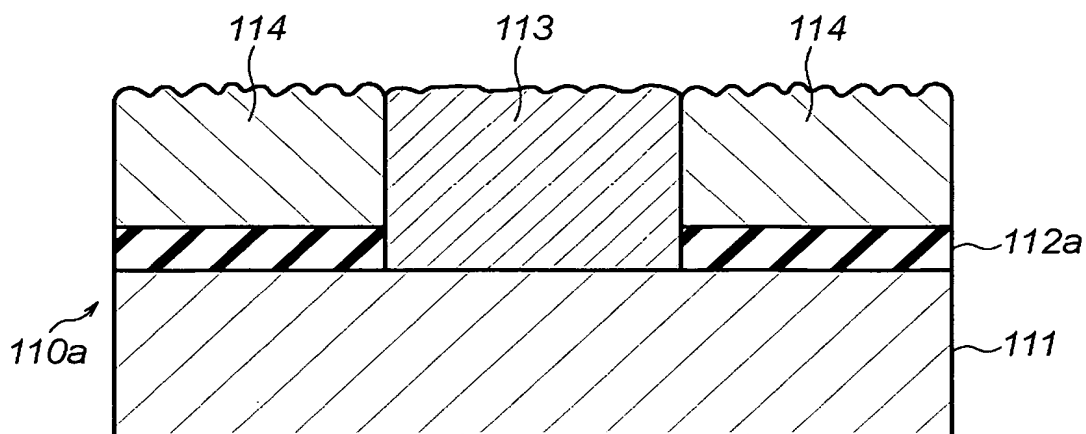
【図 4 B】



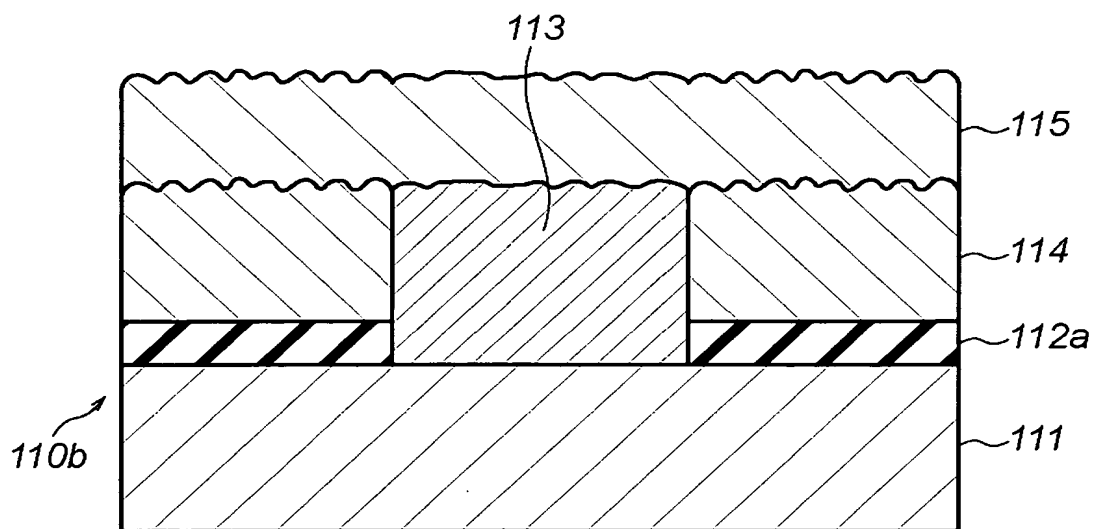
【図 4 C】



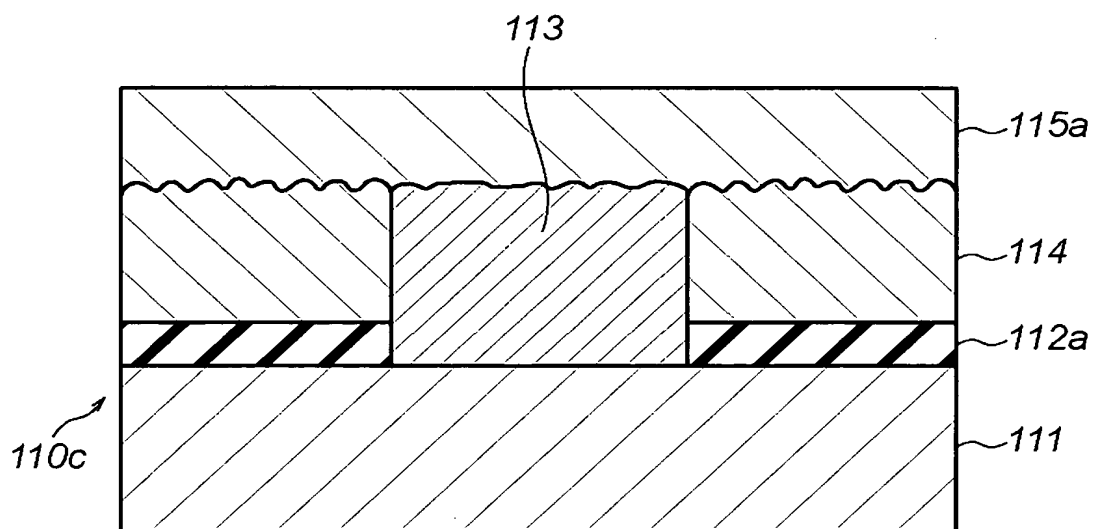
【図 4 D】



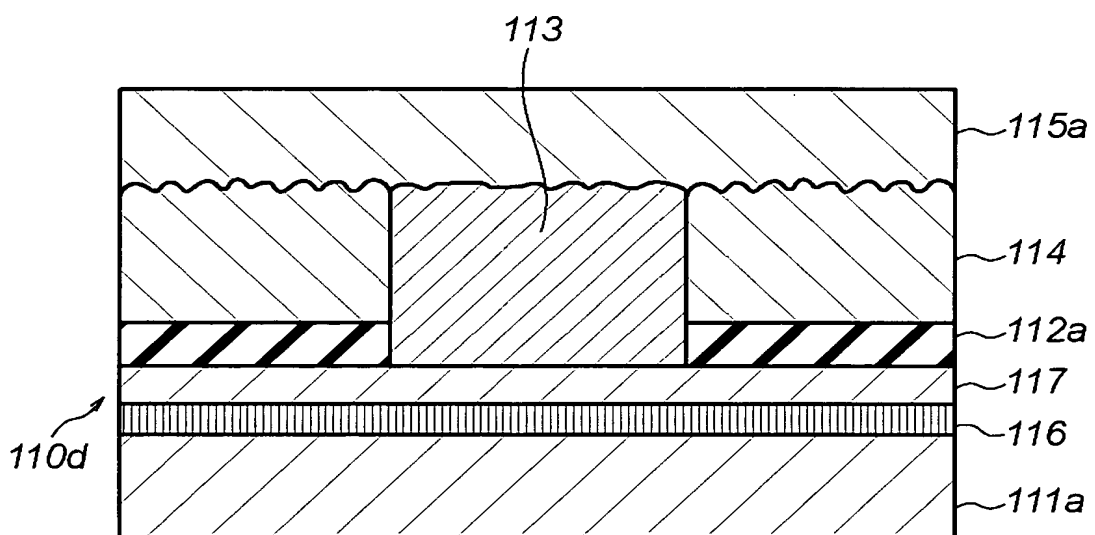
【図 4 E】



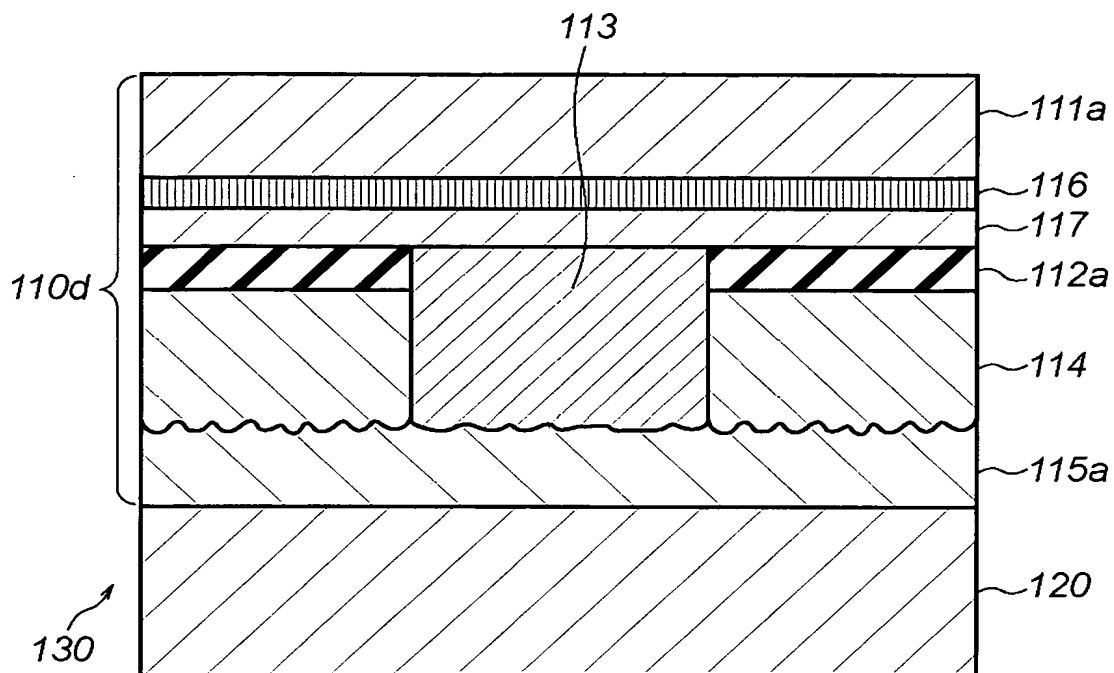
【図 4 F】



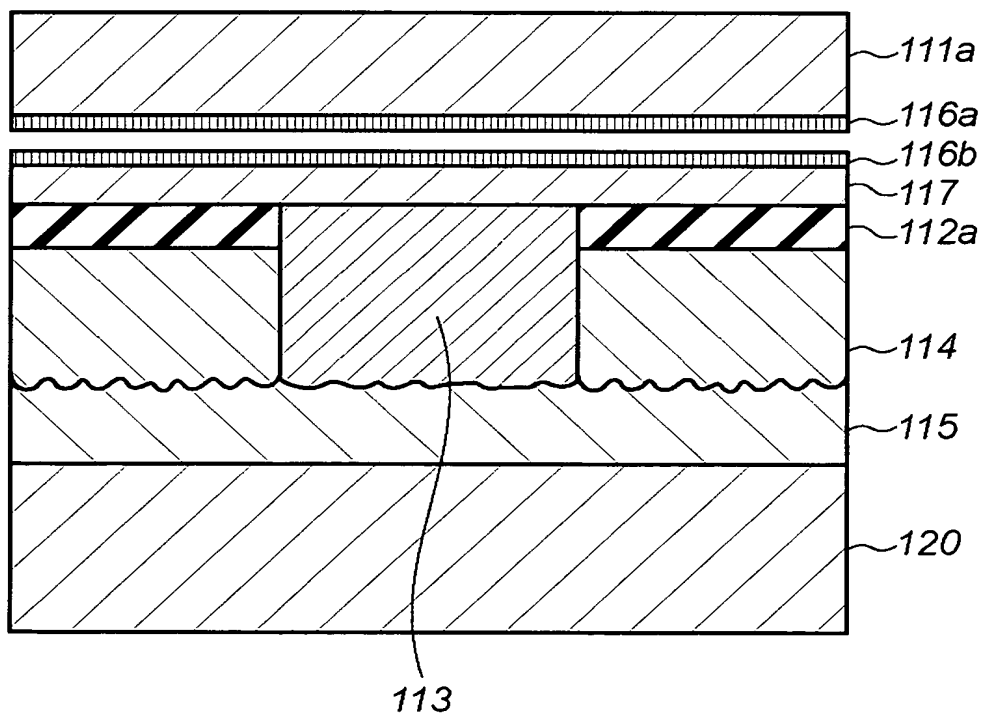
【図 4 G】



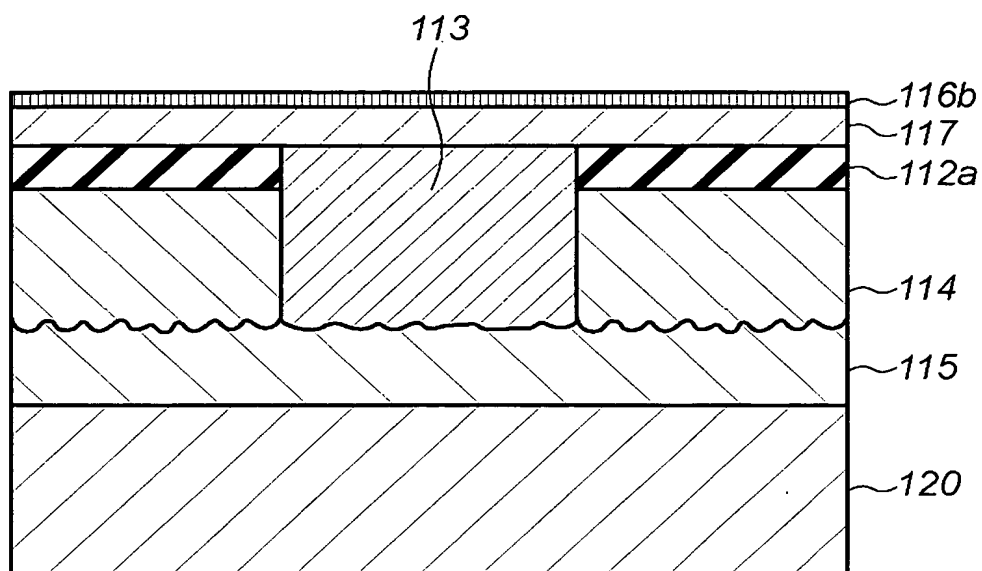
【図 4 H】



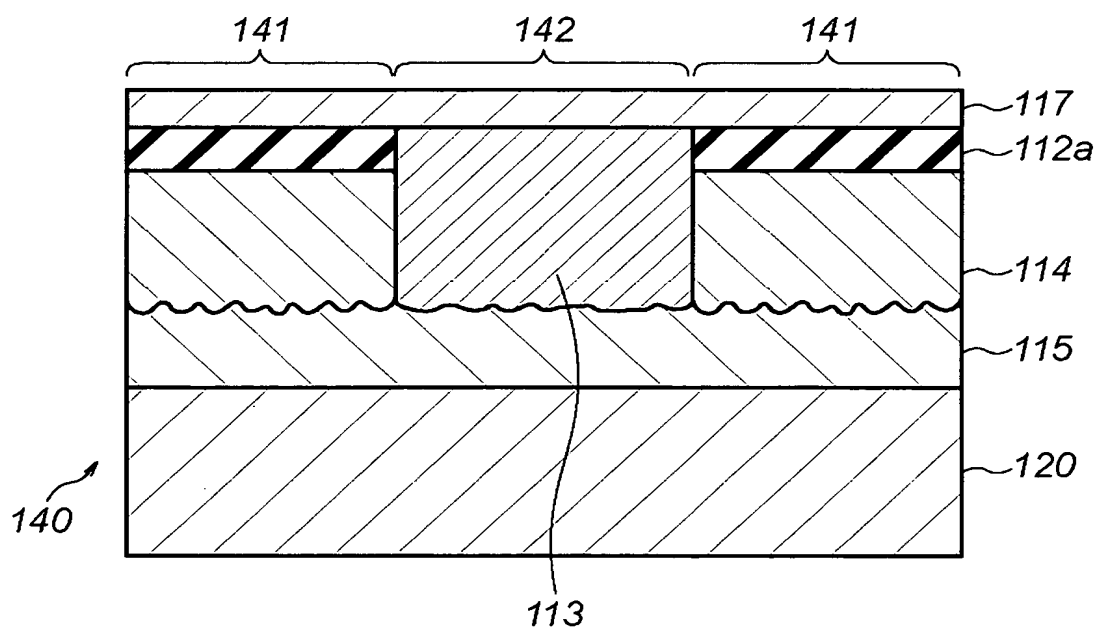
【図 4 I】



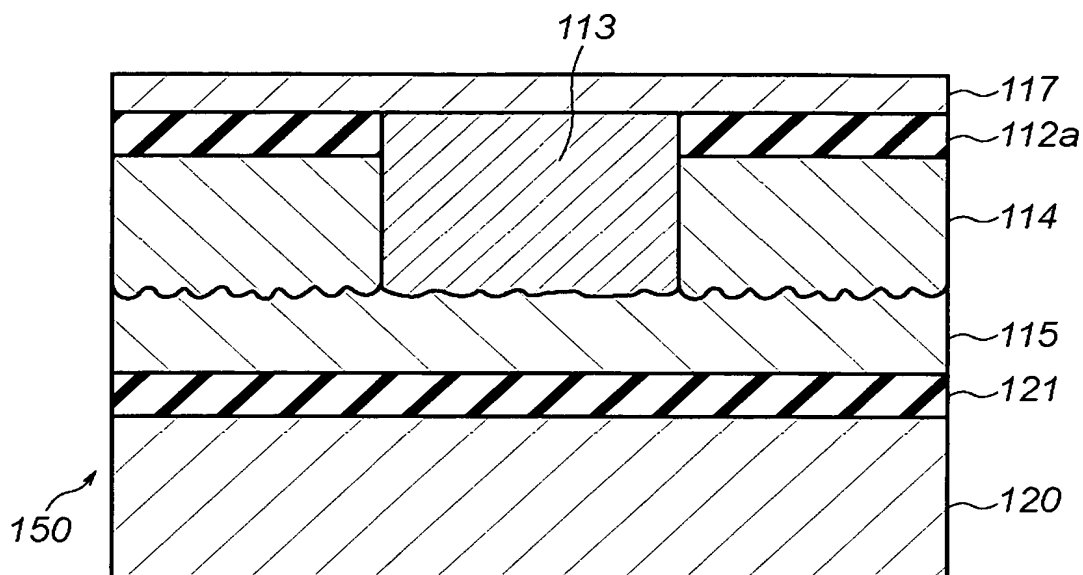
【図 4 J】



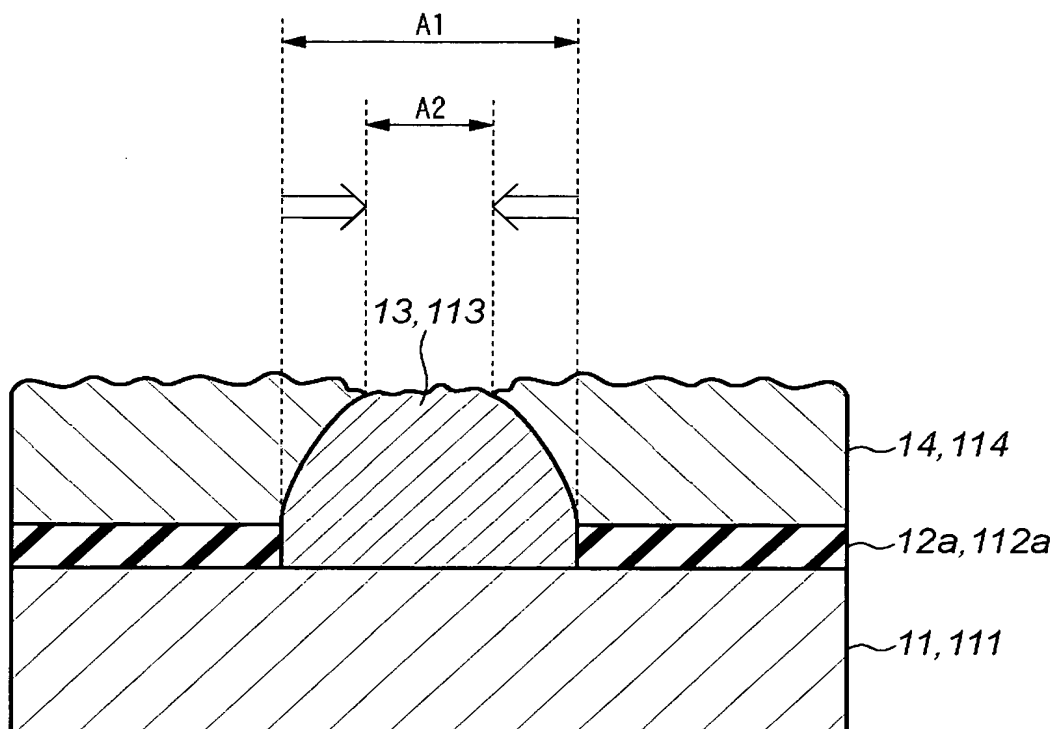
【図 5】



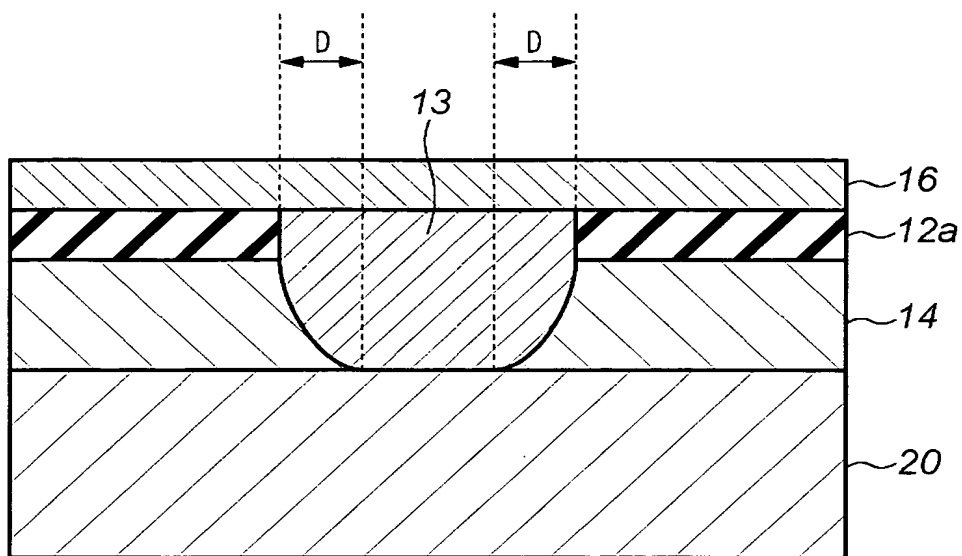
【図 6】



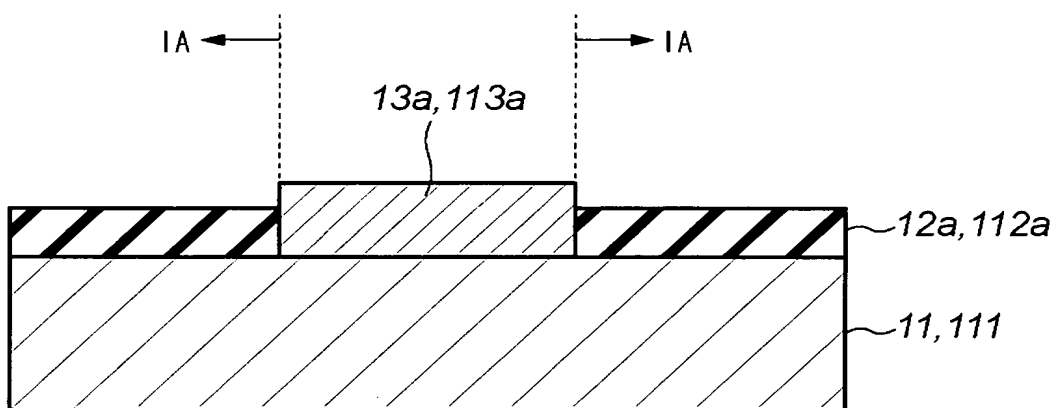
【図 7】



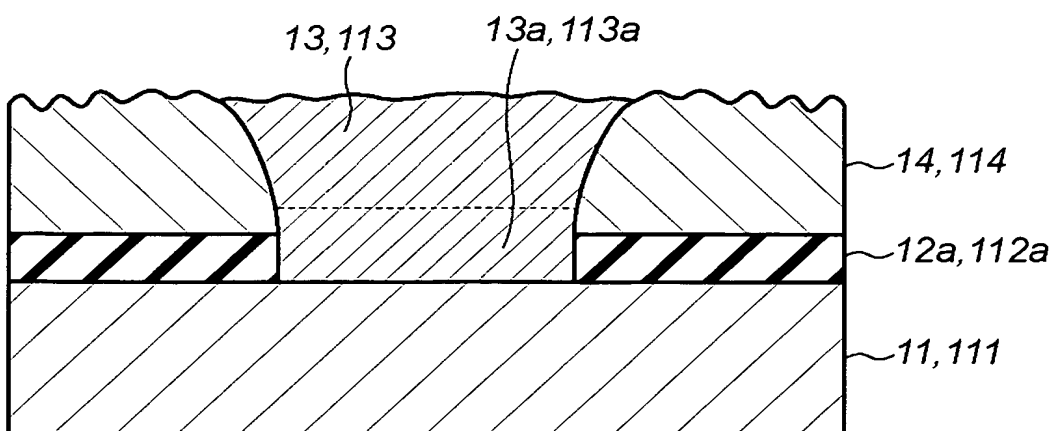
【図 8】



【図 9 A】



【図 9 B】



【書類名】 要約書

【要約】

【課題】 半導体層の下に部分的な絶縁層を有する基板の製造方法を提供する。

【解決手段】 第 1 基板 1 0 c を作成した後に該第 1 基板 1 0 c を第 2 基板 2 0 に結合させて結合基板 3 0 を作成し、その後、結合基板 3 0 を分離層 1 5 の部分で分割する。第 1 基板 1 0 c の作製工程では、基板上に部分的な絶縁層 1 2 a を形成し、部分的な絶縁層 1 2 a の間の領域には単結晶シリコン層 1 3 を成長させ、部分的な絶縁層 1 2 a の上には多結晶シリコン層 1 4 を成長させ、その後、該基板にイオンを注入することにより、該基板の内部に分離層 1 5 を形成する。

【選択図】 図 1 G

特願 2 0 0 2 - 2 6 4 1 8 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 0 0 7]

1 . 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都大田区下丸子 3 丁目 3 0 番 2 号

氏 名

キャノン株式会社